



РЕСПУБЛИКА КАЗАХСТАН

(19) KZ (13) B (11) 36620  
(51) G07F 7/501 (2006.01)

МИНИСТЕРСТВО ЮСТИЦИИ РЕСПУБЛИКИ КАЗАХСТАН

## ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(21) 2023/0845.1

(22) 12.12.2023

(45) 23.02.2024, бюл. №8

(72) Тынымбаев Сахыбай (KZ); Гнатюк Сергей Александрович (UA); Бердибаев Рат Шындалиевич (KZ); Намазбаев Тимур Адильканович (KZ); Чинибаева Толганай Темирболатовна (KZ); Темирбекова Жанерке Ерлановна (KZ)

(73) Тынымбаев Сахыбай (KZ)

(56) С.Н. Лехин Схематехника ЭВМ., СПб.:БХВ-Петербург, 2010

RU2758184 C1, 26.01.2020

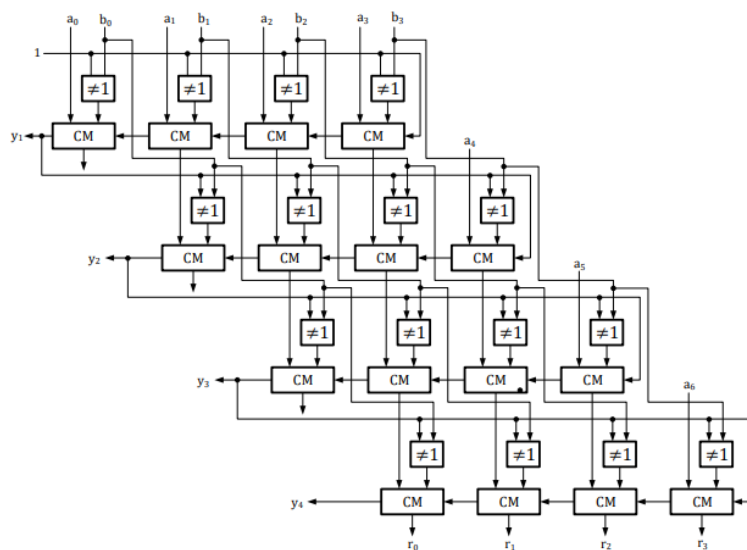
US5508952 A, 16.04.1996

(54) МАТРИЧНОЕ ДЕЛИТЕЛЬНОЕ УСТРОЙСТВО НА СУММАТОРАХ С УСЛОВНОЙ СУММОЙ

(57) Изобретение относится к вычислительной технике и может быть использовано в арифметических блоках для выполнения операций деления.

Упрощение аппаратной сложности матричного делительного устройства осуществляется на сумматорах с условной суммой, и структурным преобразованием вентилях «исключающее ИЛИ», что позволяют минимизировать аппаратную сложность.

Техническим результатом является уменьшение общего числа МОП транзисторов свыше 70%.



Фигура 1

(19) KZ (13) B (11) 36620

Изобретение относится к вычислительной технике и может быть использовано в арифметических блоках для ускоренного выполнения операций деления.

Известны делительные устройства с матричной структурой, которые построены на традиционных двоичных сумматорах [К.Г. Самофалов, А.М. Романкевич, и др. «Прикладная теория цифровых автоматов». – Киев.: Вища школа, 1987. – 375 с. Б.Я. Цилькер, С.А. Орлов «Организация ЭВМ и систем» - СПб.: Питер, 2006. -668с.: ИЛ], где в каждой строке матрицы содержатся двоичные сумматоры и вентили «исключающее ИЛИ», которые управляют вводом делителя  $B = b_0 b_1 b_2 b_3$  в сумматоры, а на вторые входы сумматоров подаются разряды шестиразрядного делимого  $A = a_0 a_1 a_2 a_3 a_4 a_5 a_6$ . Представленные устройства реализуют алгоритм деления без восстановления остатков, что типично в операциях над массивами чисел в форме плавающей запятой.

Поскольку делимое и делитель являются положительными нормализованными дробями, то частное  $Q = q_0 q_1 q_2 q_3$ , является положительным числом.

Недостатки рассмотренного матричного делителя является аппаратная сложность при реализациях его на традиционных двоичных сумматорах и вентилях «исключающее ИЛИ».

Технической задачей изобретения является минимизация общего числа транзисторов при реализациях делительного устройства на основе МОП-транзисторов.

Техническим результатом является уменьшение общего числа транзисторов свыше 70%.

Технический результат достигается путем реализаций матричного делителя на сумматорах с условной суммой и структурным преобразованием вентилях «исключающее ИЛИ», что позволяют минимизировать аппаратную сложность (количество МОП транзисторов).

Устройство осуществляется следующим образом: на фигуре 1 приведена функциональная схема матричного делителя для деления числа  $A = a_0 a_1 a_2 a_3 a_4 a_5 a_6$  на делитель  $B = b_0 b_1 b_2 b_3$ .

Матрица делителя состоит из четырех строк и в каждой строке имеются четыре вентиля «исключающее ИЛИ» и четыре двоичные сумматоры с последовательными переносами.

На выходах крайнего левого сумматора каждой строки формируются переносы, по значению которых определяются значения бита частного  $q_i$  и

этим битом управляют передачу значения делителя на входы сумматоров в прямом или дополнительном кодах.

Далее построим рассмотренный матричный делитель на традиционных двоичных сумматорах и на схемах «исключающее ИЛИ» и на сумматорах с условной суммой и структурно преобразованных схемах «исключающее ИЛИ».

При подсчете количества МОП транзисторов воспользуемся таблицей 1, где приведены условные обозначения и схемы вентилях на МОП-транзисторах и количество МОП транзисторов для реализаций соответствующих схем, составленного по книге Дэвид Ч.Харрис и Сра Л.Харрис «Цифровая схемотехника и архитектура компьютера». Издательство Морган Кауфман 2013.

В качестве традиционного сумматора рассмотрим двоичный сумматор, приведенный в учебной литературе (С. М. Лехин Схемотехника ЭВМ. – СПб.: БХВ – Петербург: 2010 – 672.: ил.), где сумма  $S_i$  и перенос в следующий разряд  $C_i$  определяется по формулам

$$S_i = a_i \oplus b_i \oplus C_{i-1} \quad (1)$$

$$C_i = a_i b_i + C_{i-1} a_i + C_{i-1} b_i \quad (2)$$

Функциональная схема сумматора на логических элементах И-НЕ, ИЛИ-НЕ и НЕ приведена на фигуре 2.

Из фигуры 2 видно, что схема состоит из четырех вентилях НЕ, девяти двухвходовых вентилях И-НЕ двух вентилях И-НЕ на три входа. Для построения одноразрядного сумматора потребуется всего 50 транзисторов. Как видно из фигуры 3 для построения схемы «исключающее ИЛИ» потребуются 16 транзисторов.

Тогда для построения делительного устройства (фиг.1) всего потребуются  $16 \times 50 + 16 \times 16 = 800 + 256 = 1056$  транзисторов.

Теперь рассмотрим подсчет количества транзисторов, когда делительное устройство реализован на сумматорах с условной суммой и преобразованных вентилях «исключающее ИЛИ».

На фигуре 4 приведена схема вентиля «исключающее ИЛИ», который преобразован к виду

$$y_i \oplus b_i = \overline{y_i} b_i + y_i \overline{b_i} = (y_i + b_i)(\overline{y_i} \overline{b_i}) =$$

$$\overline{(y_i + b_i)(y_i \cdot b_i)} = \overline{(y_i + b_i)} \cdot \overline{(y_i \cdot b_i)}$$

$$\cdot (3)$$

Таблица 1.

Схемы вентилях и количество МОП транзисторов для их реализации.

Условное обозначение вентиля	Схемы вентилях	Количество транзисторов	Условное обозначение	Схемы вентилях	Количество МОП транзисторов

		<p>2</p>			<p>6</p>
		<p>4</p>			
		<p>4</p>			<p>6</p>
					<p>6</p>
		<p>6</p>			<p>6</p>

По фигуре 3 воспользуясь таблицей 1 нетрудно подсчитать что для построения одного вентиля «Исключающее ИЛИ» потребуется 16 МОП транзисторов. Для четырех таких вентилях число транзисторов составляет  $16 \times 4 = 64$  транзисторов. Для построения четырехразрядного сумматора потребуются шесть мультиплексоров. Тогда для их построения потребуются  $6 \times 6 = 36$  транзисторов. Для построения четырех вентилях потребуются  $14 \times 4 = 54$  МОП транзисторов.

На фигуре 5 приведена функциональная схема одноразрядного сумматора с условной суммой.

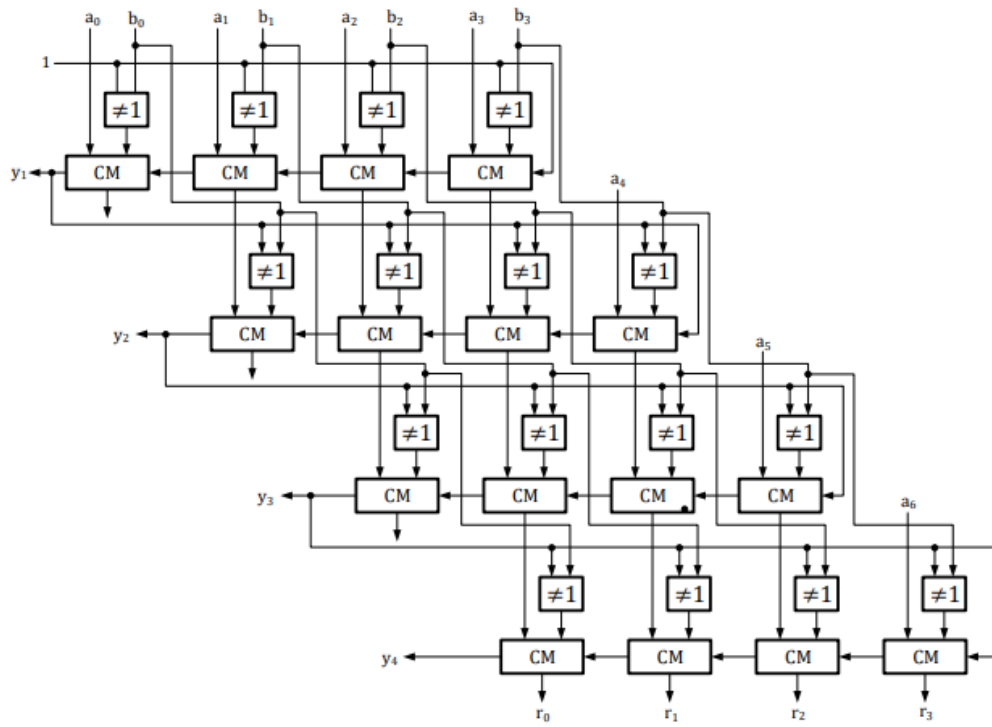
Из фигуры 4 нетрудно подсчитать, что для реализаций этой схемы потребуются 14 МОП транзисторов. Если учесть для реализаций делителя (фигура 1) потребуется 16 таких схем, тогда для реализаций 16 схем «исключающее ИЛИ» потребуются  $16 \times 14 = 244$  транзистора.

Из фигуры 5 для реализаций одного сумматора потребуются всего 30 МОП транзисторов и если учесть для реализаций делителя (фигура 1)

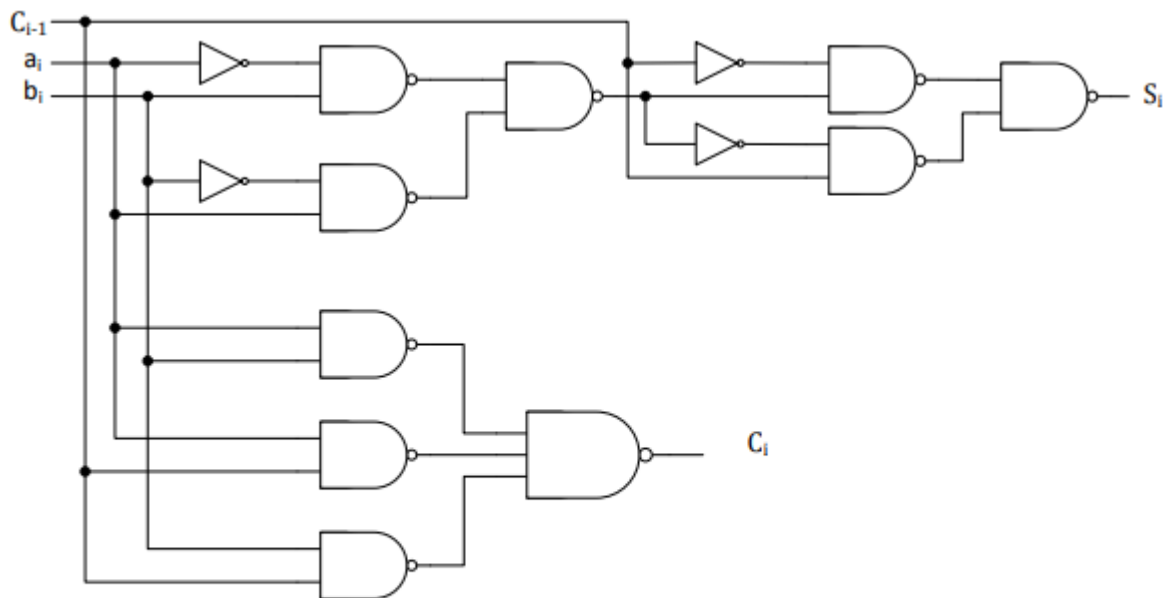
потребуется таких 16 сумматоров, то число МОП транзисторов составляет  $16 \times 30 = 480$  МОП транзистора. Тогда суммарно количество составляют  $480 + 244 = 724$  МОП транзистора. Это намного меньше, чем число транзисторов, которые потребовались при построении делительного устройства (фигура 1) на традиционных сумматорах по формуле (1) и (2).

**ФОРМУЛА ИЗОБРЕТЕНИЯ**

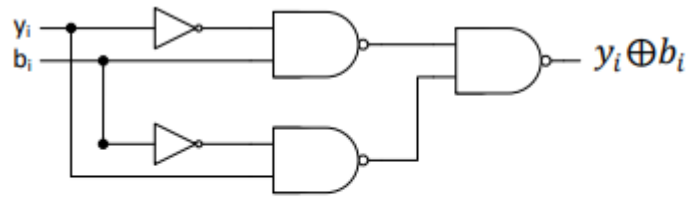
Матричное делительное устройство, состоящее из традиционных двоичных сумматоров и вентилях «исключающее ИЛИ» отличающееся тем, что в качестве двоичных сумматоров используются сумматоры с условной суммой и структурного преобразованного вентиля «исключающее ИЛИ», что позволяет минимизировать аппаратную сложность матричного делителя.



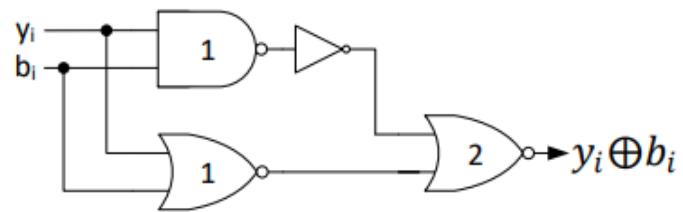
Фигура 1



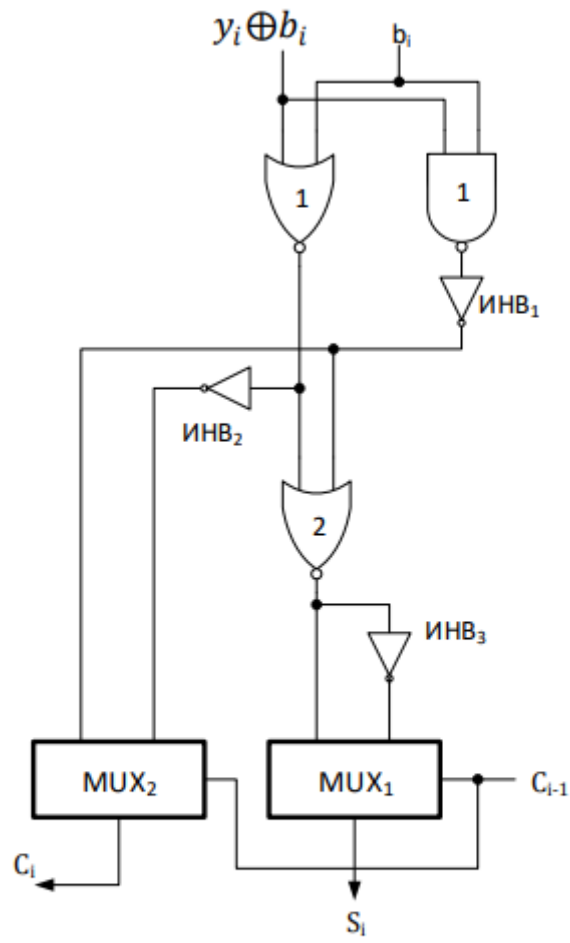
Фигура 2



Фигура 3



Фигура 4



**Фигура 5**